第2章 フラッシュFPGAを採用した理由《Actelデバイス編》

――フード・サービス機器などの制御基板をプラットホーム化

坂野 正太郎

筆者らは，レストランなどで利用されているスープ・ディスペンサやビール・ディスペンサの制御ボードに米国Actel社のフラッシュFPGA「ProASIC PLUS」を採用している．ここでは，フラッシュFPGAの特徴を説明しながら，筆者らがフラッシュFPGAを採用した理由を紹介する．（編集部）

ここ数年，低価格のFPGAが各メーカから登場しています．購入数量にもよりますが，例えば数万ゲート～数十万ゲート規模のFPGAが数百円で購入できるようになってきています注1．その結果，コストが重視される民生機器などでもFPGAが採用されるようになりました．

FPGAというと，再書き込みが可能な揮発性のSRAM FPGAや，1回だけ書き込みができるアンチヒューズFPGAが有名です．しかし最近では，不揮発性のフラッシュ・メモリ（フラッシュEEPROM）技術を用いたユニークな製品が低価格FPGAの市場に登場し，これまでFPGAの適用が難しかった応用分野でも採用が始まっています．

例えば，筆者らがフラッシュFPGAを採用している製品を**写真1**に示します．これ以外にも，ファミリ・レストランのフリー・ドリンク・コーナにある清涼飲料水ディスペンサや，コーヒー・ショップのディスペンサ，会社や食堂にある給茶機など，各種フード・サービス機器の制御ボードにこうしたFPGAを採用しています．これらの機器に搭載されている基板の例を**写真2**に示します．

本稿では，米国Actel社製のフラッシュFPGA「ProASICシリーズ注2」の特徴を述べながら，筆者らがこのデバイスを製品に採用した理由を紹介していきます．

注1：Xilinx社製Spartan-3Eシリーズの10万システム・ゲート品「XCS3S100E」の2006年7月以降における50万個購入時の単価．同社は「Spartan」という名称の製品を1998年に発表してから，この7年間でゲート当たりの単価を1/30に下げている．

注2：第1世代がProASIC，第2世代がProASIC PLUS，最新の第3世代はProASIC3/3Eとなっている．本稿では，まとめてProASICシリーズとして扱う．



（a）スープ・ディスペンサ　（b）ビール・ディスペンサ

写真1　フラッシュFPGAの採用を決定したフード・サービス機器

写真はフード・サービス機器の一例である．給茶機，清涼飲料ディスペンサなど，多種多様な製品がある．

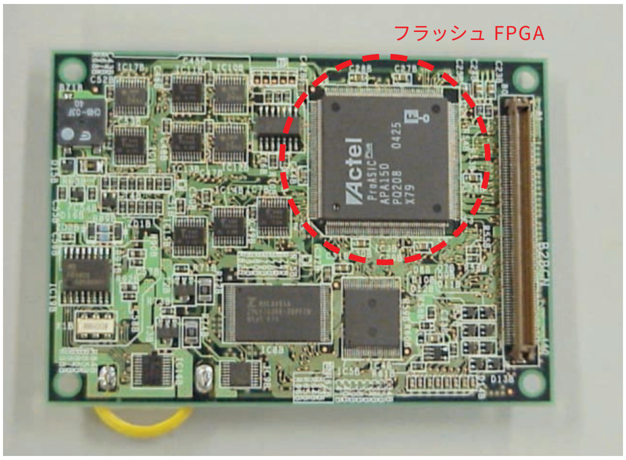


写真2　フラッシュFPGA実装基板

ProASICシリーズの第2世代であるProASIC PLUS（APA150-PQ208）を使用している．

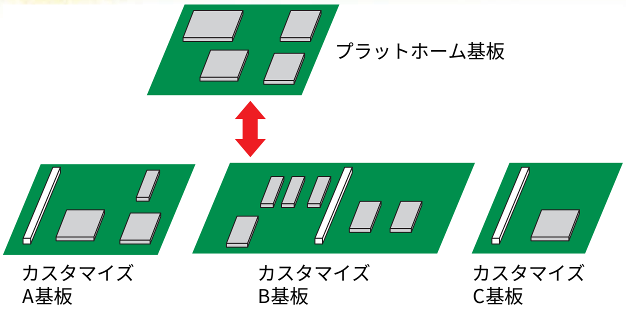


図1　製品共通部分をプラットホーム化

プラットホーム基板はソフトウェアとFPGAのコンフィグレーション・データを変更するだけで，多品種の機器に対応できる．

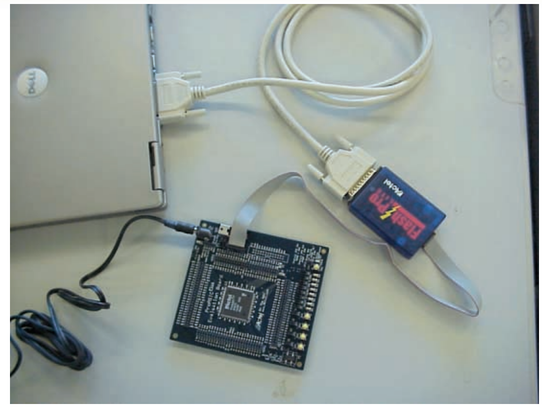


写真3　ProASIC PLUS Starter Kit

フラッシュFPGAであるProASICシリーズは，SRAM FPGAと同じようにパソコンから書き込み機（プログラマ）を介して書き込みができる．ProASICファミリは世代によって書き込み機が異なる．第3世代である最新のProASIC3/3E用の書き込み機は「FlashPro3」．

● SRAM，アンチヒューズ，フラッシュの3種類に分類

まず，FPGAの構造や種類について簡単におさらいしておきます．

FPGAの内部には多数の論理ブロックが配置されています．ユーザは，論理ブロック間の配線を接続したり，論理ブロック内の回路の切り替え電位を決定したりするプログラム素子の状態を制御することで，所望の論理機能を実現できます．

FPGAは，おもに「SRAM FPGA」，「アンチヒューズFPGA」，「フラッシュFPGA」の3種類に分類されます．

SRAM FPGAは，プログラム素子にSRAM技術を利用したFPGAです．SRAMは揮発性なのでユーザの回路データを何度でも書き換えることができます．しかし，揮発性ゆえに電源を停止するとプログラム素子上の回路データは消えてなくなります．そこで，ユーザの回路データを不揮発性の外付けROMに記憶させておき，電源投入時にそのデータをFPGAに転送する「コンフィグレーション」という処理が必要になります．

アンチヒューズFPGAは，プログラム素子にアンチヒューズ技術を利用したFPGAです．アンチヒューズは，ことばのとおりヒューズと反対のふるまいをする素子です．開放状態のスイッチに高電圧が印加されるとスイッチが溶着して接続状態に変わります．一度，溶着したスイッチは変更できないため，コンフィグレーション・データは1回しか書き込めません．

フラッシュ・メモリ技術を利用するフラッシュFPGAは，さらに2種類に分類されます．

一つ目は，プログラム素子に直接フラッシュ・メモリ技術を利用したFPGAです．フラッシュ・メモリは不揮発性で，コンフィグレーション・データは書き換え可能です．電源を停止してもプログラム素子上のコンフィグレーション・データは保持されます．SRAM FPGAのようにコンフィグレーション用の外付けROMは必要ありません．Actel社の「ProASICシリーズ」はこの構造を採ります．

二つ目は，上述のSRAM FPGAにコンフィグレーションROMに相当するフラッシュ・メモリを混載したハイブリッド型のFPGAです．一見，プログラム素子にフラッシュ・メモリを用いた場合と似た使い勝手ですが，実際にはプログラム素子はSRAMです（SRAM FPGAの派生技術と分類することもできる）．米国Altera社の「MAX II」注3，米国Lattice Semiconductor社の「XP」，「MachXO」などがこの構造になります．

なお，筆者らがProASICシリーズを採用していることもあり，以下で「フラッシュFPGA」と言うときは前者のタイプのデバイスを指すものとします．

● 1枚の基板を複数の機器で共用したい

フラッシュFPGAであるProASICシリーズは低価格のFPGAとして拡販が進められており，Actel社のFPGAの中ではもっともゲート単価が低く設定されています．ASICに匹敵するゲート単価は望めませんが，第2世代のProASIC PLUSは比較的安価になり，採用しやすい価格帯となりました．第3世代のProASIC3/3Eはプロセス微細化

注3：回路規模が比較的小さく，また市場がCPLD用途と重なることから，Altera社ではCPLD製品と位置づけて発表されている．

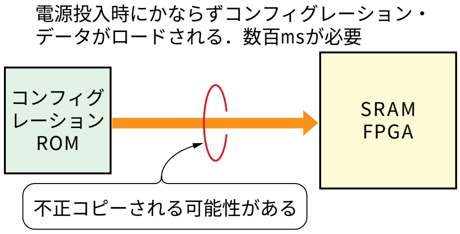


図2　SRAM FPGAの電源投入時の動作(コンフィグレーション)

SRAM FPGAでは，電源投入後のコンフィグレーションが必要になる．コンフィグレーション・データはFPGAの外部から転送されるため，不正に読み取られる可能性がある．なお，SRAM技術とフラッシュ・メモリ技術を組み合わせたフラッシュFPGA(Altera社の「MAX II」，Lattice社の「XP」，「MachXO」)の場合も，FPGA内部でコンフィグレーションが完結するため，コンフィグレーション・データの機密性は保持される．

表1　FPGAのコア電圧の例

メーカ	シリーズ名	プログラム素子	プロセス(nm)	コア電圧(V)	コア電圧許容範囲(V)
Actel社	ProASIC PLUS	フラッシュ・メモリ	220	2.5	±0.2
Actel社	ProASIC3/3E	フラッシュ・メモリ	130	1.5	±0.075
Altera社	Cyclone	SRAM	130	1.5	±0.075
Altera社	Cyclone II	SRAM	90	1.2	±0.05
Xilinx社	Spartan-II	SRAM	180	2.5	±0.25
Xilinx社	Spartan-3E	SRAM	90	1.2	±0.06

の効果によりさらに安くなると言われており，期待しています．低価格FPGAは今，ようやく成長期に入ったと言えます．毎年のように新しいデバイスが発表されています．量産時期や購入数量などによって価格は大きく変動するので，実売価格については個別に販売代理店に確認することをお勧めします．

さて，筆者らが開発しているフード・サービス機器の多くは多品種少量生産品です．ユーザの要求により，今後も機能追加などが生じると考えられます．そこで筆者らは，できるだけ多品種の機器で共用して使える「プラットホーム基板」を開発するようにしています(**図1**)．再書き込み可能なフラッシュFPGAはSRAM FPGAと同じようにオンボードで機能の変更が可能です(**写真3**)．このことを利用して，ソフトウェアとFPGAのコンフィグレーション・データを変更するだけで多様な機器に対応できるようにしています．

今回利用したProASIC PLUSの208ピン・プラスチックQFP(quad flat package)品は，システム・ゲートが75,000～100万ゲートの7品種においてピン互換性があります．もし，ゲート規模が変更になっても，基板を再度製作する必要がありません．なお，SRAM FPGAでもピン互換性のあるシリーズ展開を行っている製品がありますが，基板を共用するためには外付けのコンフィグレーションROMについてもピン互換性があるかどうかを確認する必要があります．

● コンフィグレーション時間の配慮が不要

SRAM FPGAは，電源投入時に，かならずFPGAの外部からコンフィグレーション・データの書き込みを行わないと正しく動きません(**図2**)．数百ms程度なのでゲート規模によっては問題にならない時間かもしれませんが，マイクロコントローラと同時にFPGAを起動したい場合には，SRAM FPGAにあるコンフィグレーション終了信号を使用してボードのシステム・リセットを遅らせる回路を組み込む必要があります．

一方，フラッシュFPGAでは，いったん書き込んだデータはプログラム素子上に保存されています(これはアンチヒューズFPGAの場合も同じ)．そのため，電源投入後は通常のICと同じように即時動作が可能です．今回の制御ボードでは電源投入直後から基板上のマイクロコントローラとFPGAを同時に使用する必要があったため，SRAM FPGAよりもフラッシュFPGAのほうが適していると考えました．

● 最新プロセスのFPGAでは電源回路が高価になる

FPGAは，製造プロセスの微細化の恩恵により低価格化が進んでいます．そのことは確かに喜ばしいのですが，その一方で電源の低電圧化も同時に進んでいる点が問題です(**表1**)．電源電圧の許容範囲は，ほとんどが±5%です．すなわち，電源電圧が下がれば下がるほど，より高精度で安定した電源が必要になります．

また，SRAM FPGAには，電源投入後にインラッシュ電流と呼ばれる数百mAの大電流が流れます．このため，十分に駆動能力が大きい電源を用意しておかないと電源電圧を安定供給できなくなる可能性があります．その結果，コンフィグレーションに失敗するような事例もあるようです．

一方，フラッシュFPGAは，電源投入時にコンフィグレーションを必要としないため，当然このような失敗はあ

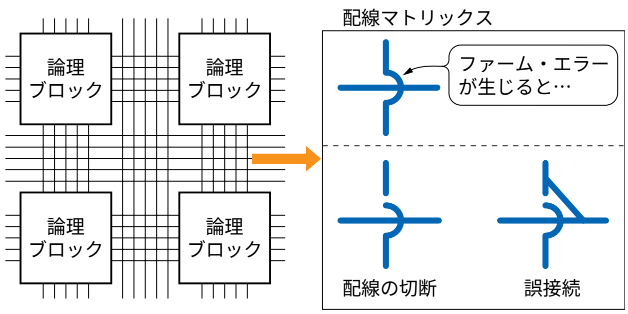


図3　ファーム・エラーによってFPGAの内部接続が変化
ファーム・エラーが生じると意図しない接続に変わってしまう．

りません．また，インラッシュ電流の問題もありません．そのため，フラッシュFPGAでは，比較的駆動能力の小さい安価な電源回路を使用できます．

● ファーム・エラーの問題を回避できる

みなさんは，「ソフト・エラー」ということばを聞いたことがありますか？ 1975年に人工衛星に搭載した電子回路の不ぐあいの原因が宇宙線であることが判明したのがソフト・エラーに関する議論の始まりのようです．具体的にはα粒子や中性子などの放射線が記憶素子（例えばメモリ・セル）の電位を変化させる可能性があります．その際，記憶素子の電位の変化，言い換えればメモリのビット化けによって生じた誤動作のことをソフト・エラーと言います．

その後，対策技術が開発されたため，地上にある電子機器では大きな問題となっていませんでしたが，最近になって再びソフト・エラーの問題が注目されるようになっています．半導体プロセスの微細化が進むにつれて，電源電圧の低下とトランジスタの小型化が進んでいます．これは，メモリ・セルが備える容量成分が減少することを意味しています．結果的に，保持データの反転に必要な電荷量が減少し，ソフト・エラーが生じやすくなる傾向にあるのです．

これと似た問題が，プログラム素子としてSRAMを使用しているSRAM FPGAにも存在します．ソフト・エラーと同じように，プログラム素子に中性子などが衝突することで，配線スイッチの接続を直接定義しているコンフィグレーション・データが変更され，論理回路の配線，あるいはI/O端子が予期せぬ接続に変化することがあるというのです．このエラーのことをActel社は，ソフト・エラーと区別する意味で「ファーム・エラー」と呼んでいます（**図3**）．現象の本質は先に説明したソフト・エラーと同じなので，再度コンフィグレーションすることで正常な状態に戻すことが可能です．

同社は最先端FPGAにおける中性子エラーを測定し，フラッシュFPGAやアンチヒューズFPGAなどが中性子によって引き起こされるソフト・エラーおよびファーム・エラーに対する耐性を備えていることを発表しています．この試験は，同社が第三者機関である米国iRoC Technologies社に依頼し，ニューメキシコ州Los Alamosにある米国Los Alamos National LaboratoryのLANSCE（Los Alamos Neutron Science Center）において実施されたものです．また，採用実績をActel社の販売代理店に確認したところ，とくに宇宙線の影響を受けやすく高信頼性を要求される宇宙用途では，Actel社製のアンチヒューズFPGAがほぼ独占状態だそうです．

フラッシュFPGAについては，プログラム素子に使用しているフラッシュ・メモリのデータ消去・書き換えに通常より高い電圧が必要となるため，本質的にファーム・エラーの影響を受ける可能性はほとんどありません．また，SRAMでは電源を停止するとプログラム素子の内容が消えてしまうため，故障解析ができませんが，フラッシュ・メモリであれば，万一不ぐあいが発生したときでもプログラム素子の内容が保持されるので故障解析を行えます．

なお，SRAM FPGAメーカ各社も対策は進めています．例えば，ファーム・エラーはFPGA内のプログラム素子で発生するため，ユーザ回路で検知することが困難です．未使用のリソースで発生することもあるため，表面的な不ぐあいに至らないケースもあります．そこで，Altera社のSRAM FPGAであるStratixシリーズやCycloneシリーズには，CRC（cyclic redundancy check）コードを使った自動チェック機能が組み込まれています(3)．この機能を使えば，万一ファーム・エラーが発生しても基板内で自動修復が可能となり，信頼性を高めることができます．

FPGAに対するファーム・エラーについては，まだあまり議論されていないように感じます．実際問題として，ソフト・エラーおよびファーム・エラーを短時間で観測できる中性子ホワイト・ビームによる加速度試験はLANSCEが提供する施設しかなかったため，実態を調査することが難しいという背景もあります．しかし，各社のFPGAのロードマップ上ではすでに65nmプロセスの製品が発表されています．実際のシステムへの影響や開発側の方針など，いろいろと議論の分かれるところだと思いますが，今後フ

表2　ProASICシリーズの電源仕様

電　源	動作時	書き込み時
V_{DDL}（コア電源）	2.5V	0V
V_{DDP}（I/O電源）	2.5V，3.3V	2.5V
V_{PP}（プログラミング電源）	V_{DDP}と同じ	16.4V～16.6V
V_{PN}（プログラミング電源）	0V	－12.1V～－11.9V

（a）ProASIC

電　源	運用時	書き込み時
V_{DDL}（コア電源）	2.5V	2.5V
V_{DDP}（I/O電源）	2.5V，3.3V	2.5V，3.3V
V_{PP}（プログラミング電源）	フローティング	15.8V～16.5V
V_{PN}（プログラミング電源）	フローティング	－13.8V～－13.2V

（b）ProASIC PLUS

電　源	運用時	書き込み時
V_{DDL}（コア電源）	1.5V	1.5V
V_{DDP}（I/O電源）	1.5V，1.8V，2.5V，3.3V	1.5V，1.8V，2.5V，3.3V
V_{PP}（プログラミング電源）	1.5V，1.8V，2.5V，3.3V	1.5V，1.8V，2.5V，3.3V
V_{PN}（プログラミング電源）	0～3.3V，フローティング	3.0～3.6V

（c）ProASIC3/3E

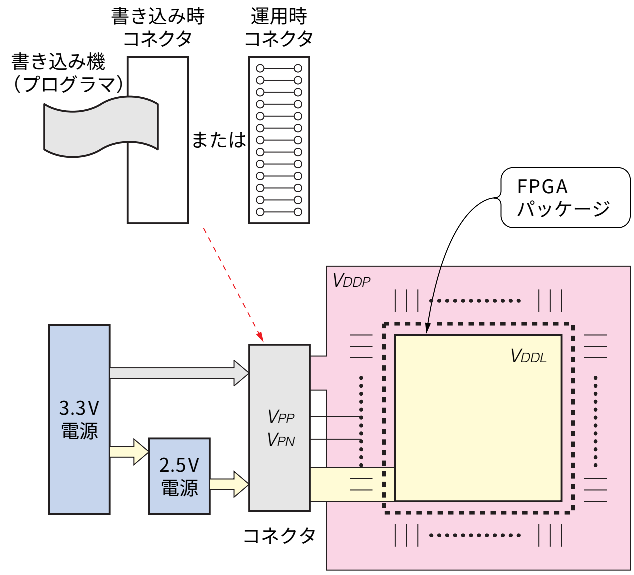


図4　ProASICの書き込み回路と電源

基板電源停止時に書き込みコネクタを実装すると，書き込み機からFPGAにだけ電源が供給されるしくみである．そのため，オンボード書き込み（ISP：in-system programming）に対応しようとすると，運用時に運用コネクタが必要になっていた．

ァーム・エラーの発生率が増大する可能性があることも確かです．

● 電源や書き込み回路は世代を経るごとに改善

フラッシュFPGAは不揮発性ですから，コンフィグレーション・データを書き込めば，汎用LSIと同じように実装した後，すぐに動作します．また，再書き込みが可能なため，書き込み用のしくみを実装基板に用意しておけば，実装後に（オンボードで）コンフィグレーション・データを変更することができます．

フラッシュFPGAであるActel社のProASICシリーズは，第3世代の製品まで発表されています．まだ歴史が浅いこともあり，世代を経るごとにコンフィグレーション・データの外部書き込み回路の仕様が変更されているため注意が必要です．

1）ProASIC（第1世代）

第1世代のProASICでは，**表2（a）**に示すように運用時とコンフィグレーション・データの書き込み時の電源仕様が異なり，ボード上の電源を直接FPGAの電源ピンに接続することができませんでした．そこで，**図4**に示すように書き込みコネクタ部からFPGA電源をレイアウトするしくみをユーザの基板に搭載する必要があります．そのため，かなり特殊な構造になり，実装面積が大きくなること，コネクタのコストがかかること，製品使用時に接触不良が生じる可能性があることなど，多くの課題がありました．

第1世代のProASICは，すでに現在のActel社の主力FPGAから外れており，筆者らも製品には適用しませんでした．

2）ProASIC PLUS（第2世代）

第2世代のProASIC PLUSでは，**表2（b）**に示すように運用時とコンフィグレーション・データ書き込み時の電源を共有できるような電源仕様に改善されました．すなわち，ボード上の電源を直接FPGAの電源ピンに接続できるようになりました．書き込み回路は**図5（a）**のようになります．

同図のR_1，R_2の0Ω抵抗は，ターゲット・ボードから簡易書き込み機（FlashPro Lite）にV_{DD}およびV_{DDP}の電力を供給するために必要なラインです．そのほかの書き込み機（FlashPro，Silicon Sculptor，Silicon Sculptor II）を使用する場合は同抵抗からの電源供給は必要ありません．標準コネクタの実装面積はかなり大きいので，ピンを適宜減らして小型コネクタに置き換えることをお勧めします．

3）ProASIC3/3E（第3世代）

第2世代までは，コンフィグレーション・データを書き込む際に，フラッシュ・メモリのデータ消去・書き込みに

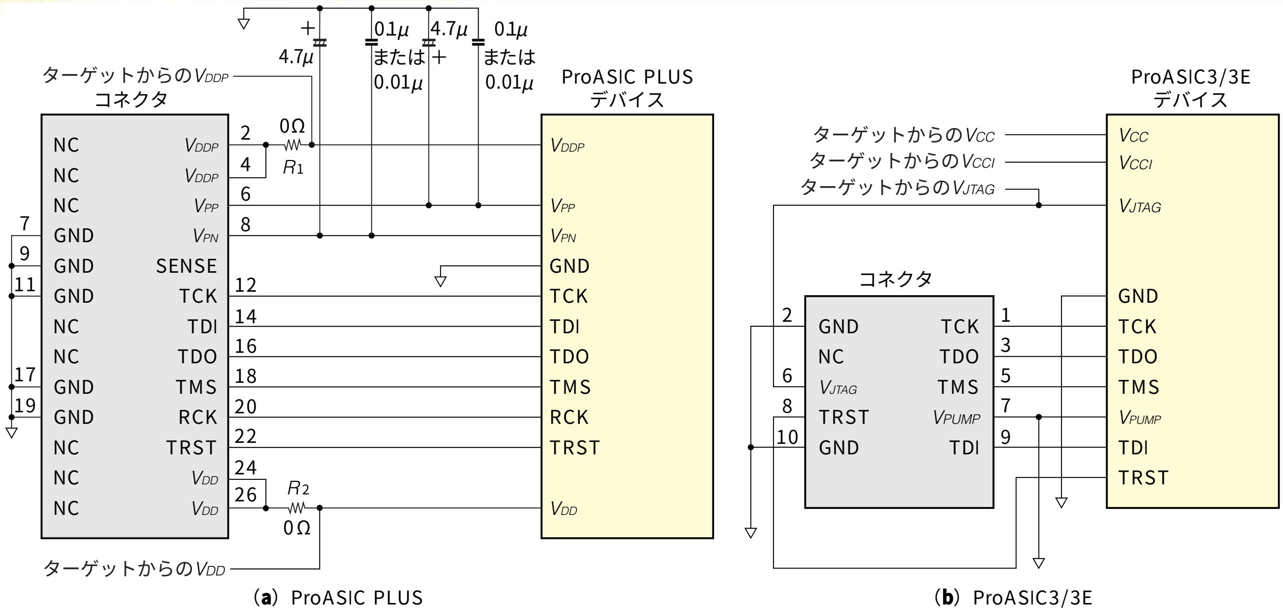


図5　ProASIC PLUS，ProASIC 3/3Eの書き込み回路と電源

ProASIC PLUSでは，プログラミング電源V_{PP}，V_{PN}に安定した高電圧が必要なため，電源ラインに電解コンデンサなどを挿入しなければならない．ProASIC3/3EはSRAM FPGAの書き込み回路からコンフィグレーションROMを排除した形とほぼ同等である．第3世代まで徐々に改善されてきたが，書き込み回路はこの回路で落ち着くと筆者は予想している．

表3
フラッシュFPGAの動作周波数

同一の設計に対して，設定はデフォルトのままで比較した．ProASIC3ではスピード・グレードが二つ追加されている．

シリーズ名	プロセス(nm)	スピード・グレード	型　名	動作周波数(MHz)		回路規模
				論理合成後	配置配線後	
ProASIC PLUS	220	—	APA150-FG144	63.9	66	2275タイル
ProASIC3	130	—	A3P125-TQ144	40.3	74	1829タイル
	130	−2	A3P125-2TQ144	52.5	100	1829タイル

必要な高電圧を外部から印加する必要がありました．一方，第3世代のProASIC3/3EではFPGAの内部に昇圧回路が組み込まれています．その結果，**表2(c)**に示すように書き込み時のプログラミング電圧が3.3Vとなり，I/O電源などと共有できるようになりました．また，**図5(b)**に示すように書き込み回路が簡素化されています．このため，ボード上の電源だけで書き換え可能となりました．この改善により，SRAM FPGAと同じように，コンフィグレーション・データをネットワーク経由でリモート環境から変更できるようになりました．

● 動作周波数を評価する際には配置配線まで実施しよう

これまでSRAM FPGAを使っていた設計者が新しいタイプのFPGAを評価する際にもっとも気にするのは，動作周波数の問題だと思います．130nm，90nmとプロセスの進んでいるSRAM FPGAは，100MHz以上の動作周波数を比較的容易に実現できます．今回，筆者らが使用したProASIC PLUSシリーズの製造プロセスは220nmで，動作周波数の目安は30MHz～80MHz程度と言われています．設計によって変わるので一概には言えませんが，筆者の経験と照らし合わせてみても，妥当な値だと思います．

また，130nmプロセスで製造される最新のProASIC3/3Eシリーズでは，さらに2倍近い高速化を実現できるとActel社は発表しています．筆者の作成した設計データを使ってベンチマーク・テストを行った結果を**表3**に示します．ProASIC PLUSの場合と比べて1.5倍の高速化と使用ゲート数の約20%の削減を確認しました．

表3からわかるように，論理合成結果による比較は正確ではありません．同社から無償の統合型開発環境が提供されています．ベンチマーク・テストを行う場合には，配置配線まで行って評価することをお勧めします．

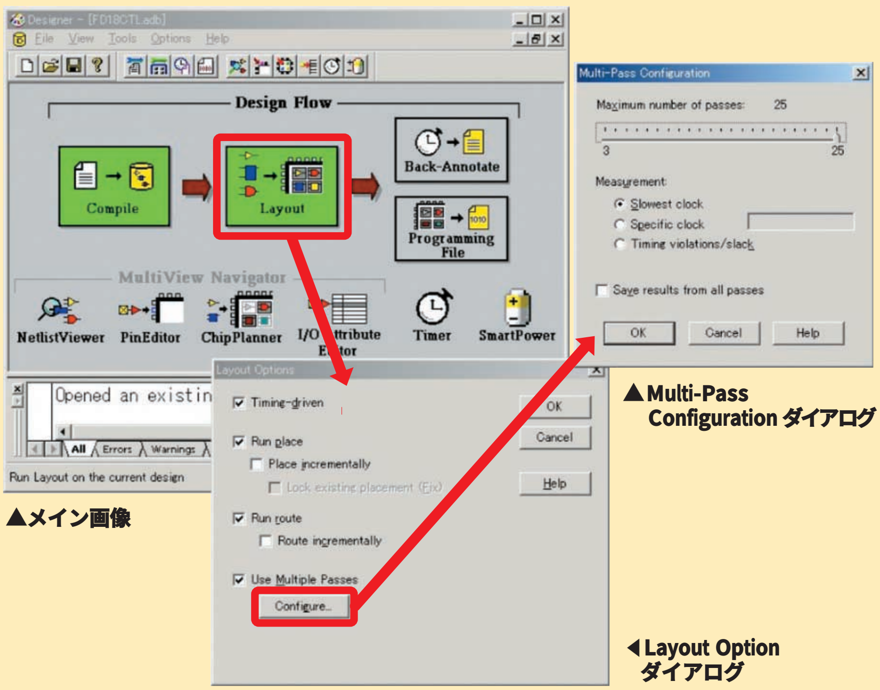
COLUMN　Multiple Pass Layoutで動作周波数を改善

目標の動作周波数に到達しない場合，グローバル信号の設定やハード・マクロの利用など，デバイスの構造を考慮した細かい設定が必要になることがあると思います．初めてActel社のFPGAを設計される方は，ここで意外と苦労されるのではないでしょうか．せっかくデバイスに依存しないハードウェア記述言語で設計するようになってきているので，ツールの操作によって動作周波数を向上させる方法を紹介します．

ここではActel社の配置配線ツール「Designer v6.1」を使用します．Designerには，レイアウトを複数回実行する「Multiple Pass Layout」という機能が用意されているのですが，レイアウト回数分だけ時間がかかるので，デフォルト設定ではOFFになっています．この機能を使用することで，最大25種類の異なるレイアウト結果を比較して，もっとも良いものを選択することができます．

図A-1にMultiple Pass Layoutの設定画面を示します．メイン画面の［Layout］ボタンをクリックするとLayout Optionsダイアログが表示されます．ここで「Use Multiple Passes」をチェックすると，［Configure ...］ボタンが有効になるので，これをクリックしてください．Multi-Pass Configurationダイアログが表示されます．同画面の「Maximum number of passes」がレイアウト回数になります．

この方法によって左掲の**表3**のいちばん下の設計は，動作周波数が100MHzから113MHzに向上し，レイアウト時間は75分（3分×25回）になりました．



▲メイン画像

▲Multi-Pass Configuration ダイアログ

◀Layout Option ダイアログ

図A-1 Multiple Pass Layoutの設定画面

参考・引用*文献

(1) Ritesh Mastipuram，Edwin C Wee；design feature ソフトエラーが引き起こすシステム信頼性への影響，EDN Japan，2005年2月号，pp.51-58.
(2) 堀切近史；ソフト・エラー対策，待ったなしSRAMや論理回路が俎上に，日経エレクトロニクス，2005年7月4日号，pp.63-70.
(3) 戸坂義春；知っておきたいソフト・エラーの実態，日経エレクトロニクス，2005年7月4日号，pp.145-156.
(4) Actel；Overview of iRoC Technologies' Report“ Radiation Results of the SER Test of Actel, Xilinx and Altera FPGA Instances ”，http://www.actel.com/documents/OverviewRadResultsIROC.pdf，2004年.
(5) Altera；アルテラFPGAデバイスのCRCによるエラー検出，Application Note 357（ver.1.0），2004年7月.
(6) 総力特集 付属FPGA基板を使った回路設計チュートリアル2，Design Wave Magazine，2005年1月号，pp.23-97.

ばんの・せいたろう
富士電機アドバンストテクノロジー（株）

<筆者プロフィール>
坂野正太郎．1999年に富士電機に入社．FA（factory automation）向けプログラマブル・コントローラや，自動販売機用メイン・ボードなどのASIC/FPGAを中心としたボード設計に従事．

2